

Cite No. 4

1/1 ページ

Searching PAJ

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-110028
 (43)Date of publication of application : 15.08.1985

BEST AVAILABLE COPY

(51)Int.Cl.

606F 3/023

(21)Application number : 58-219898
 (22)Date of filing : 21.11.1983

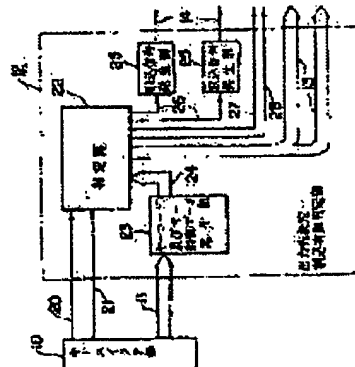
(71)Applicant : MITSUBISHI ELECTRIC CORP
 (72)Inventor : NAGAMINE TAKU

(54) KEYBOARD DEVICE

(57)Abstract:

PURPOSE: To comply with various requests different for each calculation system with use of a single keyboard by generating an address code of a pushed key and then producing a key code and the key control data in response to said address.

CONSTITUTION: The strobe signals (rise, fall) are sent to strobe signal lines 20 and 21 from a key switch part 10. At the same time, an address code of the pushed key is sent to a signal line 11. An output destination deciding/interruption presence deciding part 12 produces a key code or the key control data corresponding to the address supplied by a key code/key control data generating part 23. Receiving this key code or control data, the decision part 22 decides the designated output form and the timing to control an interruption signal generating part 25 in response to the strobe signal as well as to send the key code parallel data to a line 13. In addition, the signal is transmitted to control lines 27 and 28 according to a serial or parallel form to control a parallel/serial converting part on the next stage.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAKRaqwADA360110028...> 2006/03/08

2

④ 日本国特許庁 (J P)

⑤ 特許出願公開

⑥ 公開特許公報 (A) 昭60-110028

⑦ Int. Cl.

識別記号

庁内整理番号

⑧ 公開 昭和60年(1985)6月15日

G 06 F 3/023

7010-5B

審査請求 未請求 発明の数 1 (全4頁)

⑨ 発明の名称 キーボード装置

⑩ 特 願 昭58-219898

⑪ 出 願 昭58(1983)11月21日

⑫ 発 明 者 長 嶋 卓 長崎市丸地町6番14号 三菱電機株式会社長崎製作所内
 ⑬ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
 ⑭ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

キーボード装置

2. 発明の要旨

計算機システムにデータ及び制御信号を入力するため用いるキーボード装置において、

キースイッチの押下によって該キースイッチに対応するキーアドレス及びキースイッチの動作の時点ならびにその動作の時点を誤すそれぞれのストロブ信号を発生するキースイッチ部と、

このキースイッチ部の各キースイッチが発生する各アドレス信号に該キースイッチに対応するキーコードと、当該キーコードを識別すべき出力先と、当該キーコードに付て識別信号を発生する組合せ配列のストロブ信号のうちのどのストロブ信号の時点で検出すべきかを指示するキー制御データとを記憶するキーコード及びキー制御データ発生部と

上記キースイッチ部から発生されるアドレスにより上記キーコード及びキー制御データ発生部から該アドレスに対応するキーコード及びキー制御データを取出す手段と、

この取出したキー制御データと上記それぞれのストロブ信号とからそれぞれの識別信号を発生する手段と、

上記キー制御データからキーコードの出力先を制御する制御信号を発生する手段と、

上記キーコードの出力先のうちの所定の出力先に印行られビットパターンの形で入力したキーコードをビットシリアルで出力するパラレルシリアル変換部とを備えたことを特徴とするキーボード装置。

3. 発明の詳述と説明

〔発明の技術分野〕

この発明は計算機システムに用いられるキーボード装置に関するものである。

〔従来の技術〕

(2)

特開昭60-110028

第1図及び第2図は従来のキーボード装置を示すブロック図であり、これらの図において(1)はキースイッチ部、(2)はキーコードパラレルデコーダ部、(3)はパラレルシリアル変換部、(4)はキーコードシリアルデコーダ部、(5)はパラレルデコーダ制御部、(6)は計数部への制込信号線である。

第1図はキーコードをビットシリアル形式で送出するための装置、第2図はキーコードをビットパラレル形式で送出するための装置である。

キースイッチ部(1)では押されたキーに対応するキーコードがビットパラレル形式で発生されてキーコードパラレルデコーダ部(2)に出力される。パラレルシリアル変換部(3)はパラレルデータをシリアルデータに変換してキーコードシリアルデコーダ部(4)に出力する。ビットシリアル形式でキーコードシリアルデコーダ部(4)に出力されるキーコードは、多くの場合、一人用周辺機器に取り込まれて、周辺機器から計算機(図示せず)に送出される。たとえ文字列「A B C D」を計算機に入力する場合を考えると、キースイッチ部(1)では「A」、

特開昭60-110028(2)

「B」、「C」、「D」のキーを順次押し、キーコードパラレルデコーダ部(2)には「A」、「B」、「C」、「D」のコードが順次出力されるが、これを順次計算機に入力するより、周辺機器内に記憶した「A B C D」という文字列を一括して計数部に入力した方が計算機の負担を軽減することができるからである。

一方において、キースイッチ部のファンクションキー(function key)を押すと、1つのファンクションキーに対応して、計算機システム内のプリンタを起動したり、表示装置の表示画面を回転したり等の1つの関数が行われるので、このようなキーコードの出力はビットパラレル形式で直接計数部に入力し、かつ計数部への制込信号をも同時に入力する方が有利である。このような目的に対しては前記図に示す装置を用い、パラレルデコーダ部(2)においてパラレルデータをそのまま出力すると共に計数部への制込信号(6)を発生して出力する。

ところで、フロントのプロセッサ制御や生体ライ

ンの監視制御等に計数部を用いる場合には、周辺機器にキーボードを接続した方が有利なキー操作と、キーボードを直接計算機に接続した方が有利なキー操作とが存在しているのが通常であるため、従来のキーボード装置を用いると、第1図と第2図に示す2種類のキーボード装置をそれぞれ準備するか、もしくは、計算機システム側に異なる要求をそれぞれ満足させるように、第1図と第2図に示す2種類のキーボード装置を組合せて1つのキーボード装置を製作しなければならぬという欠点があった。

【発明の概略】

この発明は上記のような従来のものの欠点を除去するためになされたもので、この発明ではキースイッチ部のキーの押下により直接キーコードを発生するかわりにキーアドレスを発生し、このキーアドレスを対応するキーコードに変換すると共に、このキーアドレスを利用してキーコードの出力先決定や制込信号の発生等を制御するキー制御データを発生した。従って、各キーごとに、パラ

レルコードで出力する形態、又はシリアルコードで出力する形態、又はパラレルコード及びシリアルコードで同時に出力する形態のうちのいずれの形態をもとり得るようにすることができ、かつキーが押された時に制込信号を発生させるか否か、また、制込信号を発生させるとしてキースイッチのターンオン時点で発生させるか、又はターンオフ時点で発生させるか、あるいはターンオン及びターンオフの時点で発生させるかを自由に選択することができるようになった。

【発明の実施例】

以下この発明の実施例を図面について説明する。第3図はこの発明の一実施例を示すブロック図で、01はこの発明のキースイッチ部、02はキーアドレス発生部、03は出力先決定・制込有無判定部、04は第1図、第2図の(2)に相当するキーコードパラレルデコーダ部、04は第2図の(4)に相当する制込信号線、05は第1図の(4)に相当するキーコードシリアルデコーダ部、06は第2図の(5)に相当するパラレルデコーダ制御部、07は第1図の(6)に相当するパラ

(3)

特開昭60-110028

レムシリアル変換部である。

次に第4図は第3図の出力先決定・割込有無判定部の内部構成を示すブロック図で、第3図と同一符号は同一又は相当部分を示し、01はキースイッチデコーダのストローブ信号線、02はキースイッチデコーダのストローブ信号線、03は判定部、04はキーコード及びキー制御データ発生部、05は割込信号発生部、06は割込信号発生部制御部、07はパラレルデータ制御部、08はパラレルシリアル変換部制御部である。

以下、第3図に示す機能の動作を説明する。キースイッチ部ではキーが操作されるたびにストローブ信号線01、02(第3図には示していない)上にそれぞれのストローブ信号を出力し、同時に押下されたキーに対応するキーアドレスを信号線03上に出力する。キーアドレスはキーコード及びキー制御データ発生部04に入力される。キーコード及びキー制御データ発生部04はたとえばROMで構成され、キーアドレスをアドレスとする記憶部

特開昭60-110028(3)

にキーコードとキー制御データとが記憶されているが、これが信号線03上のアドレス信号によって取出され、キーコード及びキー制御データ線を経て判定部03に入力される。判定部03は入力されるキー制御データによりキーコードの出力先を決定し、割込信号発生05の発否を判定する。割込信号発生05のタイミングはストローブ信号線02上のストローブ信号のタイミングによって決定し、割込信号発生05の必要がある場合は割込信号発生部制御部06上に制御信号を出力して割込信号発生部05が割込信号線07上に割込信号を送出するように制御し、パラレルデータ出力カシリアルデータ出力カによって制御部08、09上に制御信号を送出する。(第3図には制御部08、09は図示していない)

パラレルデータ制御部08は制御部08からの制御信号入力があった場合、割込信号線07上の割込信号及びキーコードパラレルデータ線08上のキーコードをそのまま出力し、パラレルシリアル変換部09は制御部09からの制御信号入力があった場合、キーコードパラレルデータ線08上のキーコードを

ビットシリアルの形のコードに変換してキーコードシリアルデータ線09上に出力する。

以上の構成例ではキーコードをビットパラレルの形で出力するかビットシリアルの形で出力するかの組合せについて説明したが、この説明の範囲とする所は、キースイッチ部では単にキーコードを発生せずキーアドレスを発生するので、このキーアドレスを利用し、出力先決定・割込有無判定部において各キーアドレスに対する出力先及び割込有無を各キーごととに自由で設定することができるところあり、キーコードの出力形態いかんにかかわらずこの説明の構成を応用することができ、(発明の効果)

以上のようにこの説明によれば、1台のキーボード構成を準備するだけで、計算機システムに異なる名地の要求を満たすことができ、従来装置のよい構成方法を提供できるので、計算機システムにおけるトータルスループット(total throughput)を上昇させることが可能となる。

4. 図面の簡単な説明

第1図及び第2図は従来の構成を示すブロック図、第3図はこの発明の構成を示すブロック図、第4図は第3図の出力先決定・割込有無判定部の内部構成を示すブロック図である。

01…キースイッチ部、02…キーアドレス信号線、03…出力先決定・割込有無判定部、04…キーコードパラレルデータ線、05…割込信号線、06…キーコードシリアルデータ線、07…パラレルデータ制御部、08…パラレルシリアル変換部、09…キーコード及びキー制御データ発生部。

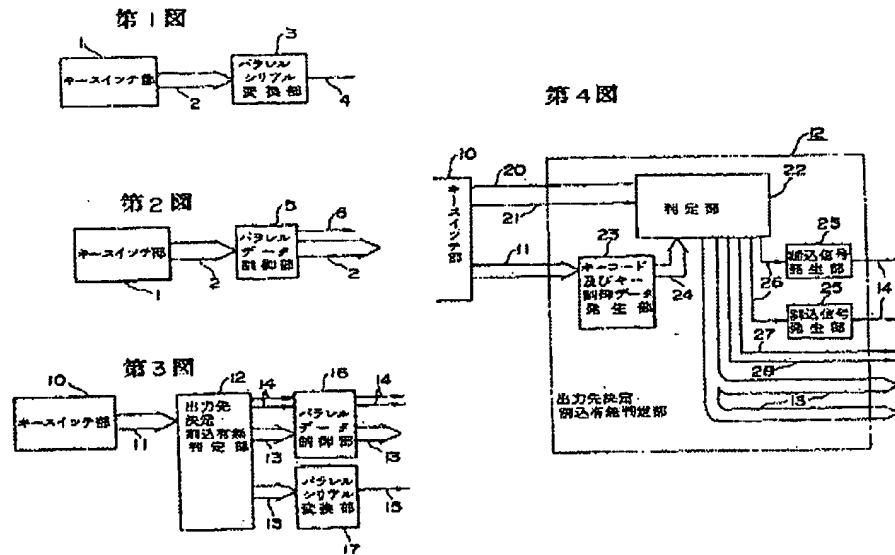
尚、各図中同一符号は同一又は相当部分を示す。

代理人 大 橋 功 郎

(4)

特開昭60-110028

特開昭60-110028(4)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.